

Rec'd PCT/PTO 17 MAY 2005 #2  
PCT/JP 2004/002714  
10/53273

日本国特許庁  
JAPAN PATENT OFFICE

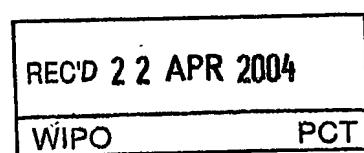
04. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2003年  3月18日  
Date of Application:

出願番号      特願2003-073720  
Application Number:  
[ST. 10/C]:      [JP 2003-073720]

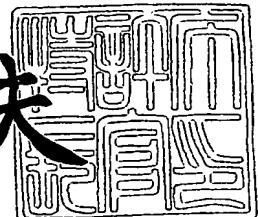


出願人      日本電信電話株式会社  
Applicant(s):

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 4月 9日

今井康夫



特許庁長官  
Commissioner,  
Japan Patent Office

BEST AVAILABLE COPY

出証番号 出証特2004-3029237

【書類名】 特許願  
【整理番号】 NTTH147105  
【提出日】 平成15年 3月18日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H03K 3/014  
【発明者】  
【住所又は居所】 東京都千代田区大手町二丁目3番1号  
日本電信電話株式会社内  
【氏名】 大友 祐輔  
【特許出願人】  
【識別番号】 000004226  
【氏名又は名称】 日本電信電話株式会社  
【代理人】  
【識別番号】 100075753  
【弁理士】  
【氏名又は名称】 和泉 良彦  
【電話番号】 03-3214-0502  
【選任した代理人】  
【識別番号】 100081341  
【弁理士】  
【氏名又は名称】 小林 茂  
【電話番号】 03-3214-0502  
【手数料の表示】  
【予納台帳番号】 084480  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

特願2003-073720

ページ： 2/E

【包括委任状番号】 0207046

【プルーフの要否】 要

出証特2004-3029237

【書類名】 明細書

【発明の名称】 CDR回路

【特許請求の範囲】

【請求項1】

位相比較回路、チャージポンプ回路、ループフィルタを有する、入力データに対して半分のレートのクロックで動作するハーフレートCDR回路において、

上記位相比較回路は、クロックの立ち上がりエッジあるいは立ち下がりエッジの少なくとも一方に対して上記入力データの遷移点エッジの位相差を検出し、該検出した位相差信号を出力する2つの位相差判定信号線と、上記クロックに対応したデータ周期信号を出力する2つのデータ周期信号線とを有し、

上記チャージポンプ回路として上記各位相差判定信号線と上記各データ周期信号線とにそれぞれ接続した2つのチャージポンプ回路を有し、

上記位相差判定信号線を流れるパルス幅と位相差との関係が一定となるように、上記位相差判定信号線を介して上記ループフィルタに信号を送り込むための上記チャージポンプ回路の出力であるソース電流と、上記ループフィルタからデータ周期信号線に流れるシンク電流との比を補正することを特徴とするCDR回路

。

【請求項2】

上記2つの位相差判定信号線は、正相および逆相のクロック信号の立ち上がりエッジにそれぞれ同期した位相差信号を出力する信号線であり、上記2つのデータ周期信号出力線は、上記正相および逆相のクロック信号の立ち上がりエッジにそれぞれ同期したデータ周期信号を出力する信号線であることを特徴とする請求項1に記載のCDR回路。

【請求項3】

請求項1のCDR回路において、

前記チャージポンプ回路が、前記ソース電流と前記シンク電流との比を調整するための外部電圧により制御される電流供給手段を有していることを特徴とするCDR回路。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、光通信の受信器に用いられるCDR（クロックアンドデータリカバリ）回路に関し、特に、入力データの半分の周波数をもつハーフレートクロックを使用し、高速なデータからクロックを抽出するCDR回路に関する。

**【0002】****【従来の技術】**

【非特許文献1】A 10Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector, Jafar Savoj and Behzad Razavi, IEEE Journal of Solid-State Circuits, vol.36, No.5, pp.761-769, May 2001, Fig. 1.

従来のハーフレート型CDR回路のブロック図を図6に示す。従来のCDR回路は、位相比較回路PDあるいは位相周波数比較回路PFD、チャージポンプ回路CP、ループフィルタLOF（R1、R2、C1）、両相単相電圧変換回路DSC、電圧制御発振回路VCOからなる。位相比較回路PDは、図7の動作タイミング図に示すように、入力データDinの遷移点エッジとクロックCKの立ち上がり、あるいは立ち下がり点のエッジ間の位相差を表すerror信号を出力する1本の信号線と、データの周期を表すref信号を出力する1本の信号線とを有する。従来のCDR回路では、error信号のパルス幅は、位相同期状態すなわちロック時でT/2（Tはデータ周期）である。入力データDinの位相がクロックCKの立ち上がりまたは立ち下がりエッジに対して遅れると（図7においてDinが右にシフト）、error信号のパルス幅は狭くなりT/2から0に近づき極めて細いパルスとなる。また、入力データDinの位相がクロックCKの立ち上がりまたは立ち下がりエッジの位相が進むと、error信号のパルス幅は広くなりT/2からTに近づき、error信号におけるパルスの間隔が極めて狭くなる。error信号とref信号は次段のチャージポンプ回路CPに入力し、error信号がhigh（すなわち論理“1”）の間、図6において両相単相電圧変換回路DSCに信号線vcont+を介して電流を流し込み、信号線vcont-から電流を引き出す。また、ref信号がhighの間、

信号線 v cont - に電流を流し込み、信号線 v cont + から電流を引き出す。信号線 v cont + および v cont - は、ループフィルタ LOF を形成している抵抗 R1 と抵抗 R2 それぞれの片端に各々接続する。

### 【0003】

位相がロックした状態では、 error 信号が high の間にループフィルタ LOF の容量 C1 に流れ込む総電荷量と、 ref 信号が high の間に同じ容量 C1 から流れ出る総電荷量とが釣合い、信号線 v cont + と v cont - 間の電位差が一定になる。一方、入力データ D in のデータ遷移点エッジ間の中央位置に対してクロック CK の立ち上がり位置の位相が進んでいる時は、 error 信号が high である幅が広がり、チャージポンプ CP の出力に接続されている信号線 v cont + と v cont - との電位差がプラス側に増加する。また、入力データ D in のデータ遷移点エッジ間の中央位置に対してクロック CK の立ち上がり位置の位相が遅れている時は、 error 信号が high である幅が狭まり、信号線 v cont + と v cont - との電位差がマイナス側に増加する。信号線 v cont + と v cont - とは両相単相電圧変換回路 DSC の入力に接続されており、両相単相電圧変換回路 DSC はこれら信号線 v cont + と v cont - との電位差を出力側の信号線 v cont の電圧レベルに変換する。信号線 v cont + と v cont - との電位差がプラス側に大きくなると出力 v cont の電位は上がり、信号線 v cont + と v cont - との電位差がマイナス側に大きくなると出力側の信号線 v cont の電位は下がる。ロック時は出力側の信号線 v cont の電位は一定値になる。両相単相電圧変換回路 DSC の出力側の信号線 v cont は、電圧制御発振回路 VCO に接続されている。電圧制御発振回路 VCO は、データ周期 T に対して、周波数  $f/2 (= 1/(2*T))$  近傍の周波数で発振し、その周波数のクロック CK を出力する。両相単相電圧変換回路 DSC 出力側の信号線 v cont の電圧が高くなると周波数は上がり、 v cont が低い電圧になると周波数は下がる。

以上のように、位相比較回路 PD で検出した入力データ D in とクロック CK の位相差が電圧制御発振回路 VCO の発振周波数に反映され、クロック CK の位相変化が位相比較回路 PD にフィードバックされる。これにより、クロック CK

の立ち上がりまたは立ち下がりエッジが入力データ D<sub>in</sub> の中央に位置するロック状態に引き込みを行う CDR 機能が実現される。

#### 【0004】

##### 【発明が解決しようとする課題】

以上述べたような、従来の CDR 回路の問題点は、位相比較回路の出力である error 信号が極めて細いパルスになる場合があることである。従来の CDR 回路では、error 信号はデータの遷移点のエッジとその直後に来るクロックのエッジとの時間幅を排他的論理和によりパルスとして取り出している。このため、図 7 の動作タイミング図に示すように、入力するデータ D<sub>in</sub> の 1 周期が T sec、速度が  $f / 2 \text{ Hz}$  (クロック換算) あるとすると、error 信号のパルス幅は  $0.5 * T$  より細くなる場合があり、回路に要求される動作速度は周波数換算で  $f \text{ Hz}$  以上となる。したがって、従来の CDR 回路を実現するためには、入力するデータ速度の 2 倍以上の速度で動作可能な素子を用いて位相比較回路、チャージポンプ回路等を製造しなければならない欠点があった。本発明においては、位相比較回路およびチャージポンプ回路の動作速度のような制限を緩和し、高速なデータ入力に対しても安定したクロック抽出機能とデータ整形機能を有する CDR 回路を提供することを目的とする。

#### 【0005】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の CDR 回路においては従来の CDR 回路と異なり、以下の各項を特徴としている。

- 1) 位相比較回路から正逆両位相のクロックに対する error 信号を 2 つ出力し、それぞれにチャージポンプ回路を接続し、そのチャージポンプ回路出力を並列にしてループフィルタに接続した。
- 2) また、チャージポンプ回路のソース電流(後述)とシンク電流(後述)の比を、ロック状態の error 信号と ref 信号のパルス幅比の逆数に設定するようにした。
- 3) さらに、チャージポンプ回路のソース電流とシンク電流の比を調整可能とする手段を具備した。

**【0006】**

すなわち、請求項1においては、位相比較回路、チャージポンプ回路、ループフィルタを有する、入力データに対して半分のレートのクロックで動作するハーフレートCDR回路において、上記位相比較回路は、クロックの立ち上がりエッジあるいは立ち下がりエッジの少なくとも一方に対して上記入力データの遷移点エッジの位相差を検出し、該検出した位相差信号を出力する2つの位相差判定信号線と、上記クロックに対応したデータ周期信号を出力する2つのデータ周期信号線とを有し、上記チャージポンプ回路として上記各位相差判定信号線と上記各データ周期信号線とにそれぞれ接続した2つのチャージポンプ回路を有し、上記位相差判定信号線を流れるパルス幅と位相差との関係が一定となるように、上記位相差判定信号線を介して上記ループフィルタに信号を送り込むための上記チャージポンプ回路の出力であるソース電流と、上記ループフィルタからデータ周期信号線に流れるシンク電流との比を補正するCDR回路について規定している。

**【0007】**

請求項2においては、上記2つの位相差判定信号線は、正相および逆相のクロック信号の立ち上がりエッジにそれぞれ同期した位相差信号を出力する信号線であり、上記2つのデータ周期信号出力線は、上記正相および逆相のクロック信号の立ち上がりエッジにそれぞれ同期したデータ周期信号を出力する信号線である請求項1に記載のCDR回路について規定している。

**【0008】**

請求項3においては、請求項1のCDR回路において、前記チャージポンプ回路が、前記ソース電流と前記シンク電流との比を調整するための外部電圧により制御される電流供給手段を有しているCDR回路について規定している。

**【0009】****【発明の実施の形態】**

本発明による実施の形態の例を、図1を用いて説明する。本実施の形態におけるCDR回路は、位相比較回路PD\_2あるいは位相周波数比較回路PFD\_2、第1のチャージポンプ回路CP\_1、第2のチャージポンプ回路CP\_2、ループフィルタLOF、両相単相電圧変換回路DSC、電圧制御発振回路VCOか

ら構成されている。位相比較回路 P D \_ 2 は、図 2 の動作タイミング図に示すように、入力データ D i n の遷移点エッジとその直後に来るクロック c k v の立ち上がり点エッジ（図 2 における ↑ C K 1 ）との間の位相差を表す第 1 の e r r o r 信号（ e r r o r \_ 1 ）と、逆位相クロック c k v n （図 2 における ↑ C K 2 ）に対する同様の位相差を表す第 2 の e r r o r 信号（ e r r o r \_ 2 ）との 2 つ、およびデータの周期を表す正逆両位相のクロックに対応する第 1 および第 2 の 2 つの r e f 信号（ r e f \_ 1 , r e f \_ 2 ）を出力する。すなわち、 e r r o r 信号は位相差判定信号として機能し、 r e f 信号はデータ周期信号として機能することになる。なお、図 1 において D o u t \_ 1 は正相のクロックに対応したデータ出力であり、 D o u t \_ 2 は逆相クロックに対応したデータ出力であり、 C K o u t は正相クロック信号の出力である。

### 【0010】

本発明における実施の形態の C D R 回路では、 e r r o r 信号のパルス幅は位相ロック時で  $(3/2) * T$  (T はデータ周期) であり、 r e f 信号のパルス幅は  $T$  (T はデータ周期) である。入力データ D i n の位相がクロック c k v の立ち上がりエッジが最大  $0.5 * T$  まで遅れると（図 2 において D i n が右にシフト）、 e r r o r 信号のパルス幅は  $(3/2) * T$  から  $T$  に近づく。また、同じくクロック c k v の立ち上がりエッジが入力データ D i n の遷移点間の中央点に対して最大  $0.5 * T$  まで進むと、 e r r o r 信号のパルス幅は  $(3/2) * T$  から  $2 * T$  に近づく。

ここで、 e r r o r \_ 1 信号と r e f \_ 1 信号は第 1 のチャージポンプ回路 C P \_ 1 に入力し、 e r r o r \_ 2 信号と r e f \_ 2 信号は第 2 のチャージポンプ回路 C P \_ 2 に入力する。これらチャージポンプ回路 C P \_ 1 および C P \_ 2 は、 e r r o r 信号が h i g h (論理 “1”) の間、信号線 v c o n t + を介してループフィルタ L O F に電流を流し込み、信号線 v c o n t - を介してループフィルタ L O F から電流を引き出す。また、 r e f 信号が h i g h の間は、信号線 v c o n t - を介してループフィルタ L O F に電流を流し込み、信号線 v c o n t + を介して電流を引き出す。 e r r o r 信号と r e f 信号が共に l o w (論理 “0”) の場合は信号線 v c o n t + および v c o n t - のいずれにも電流は流れな

い。信号線 v<sub>cont+</sub> および v<sub>cont-</sub> は、ループフィルタ LOF を形成する抵抗 R<sub>1</sub> と抵抗 R<sub>2</sub> の片端に各々接続されている。位相がロックした状態では、両 error 信号がそれぞれ high の期間にループフィルタ LOF の容量 C<sub>1</sub> に流れ込む総電荷量と両 ref 信号がそれぞれ high の期間に容量 C<sub>1</sub> から流れ出る総電荷量とが釣合いで、信号線 v<sub>cont+</sub> と v<sub>cont-</sub> 間の電位差は一定に保持される。すなわち、第 1 のチャージポンプ回路 CP\_1 と第 2 のチャージポンプ回路 CP\_2 のソース電流（ここでは仮に、error 信号が high の期間にループフィルタ LOF に流れ込む電流をソース電流と呼ぶ）とシンク電流（ここでは仮に、ref 信号が high の期間にループフィルタ LOF に流れ込む電流をシンク電流と呼ぶ）との電流の比は、位相がロックしている時に電荷量を釣り合わせるために、ロック時の error 信号と ref 信号のパルス幅の比の逆数に設定する。そして、そのソース電流とシンク電流の電流の比は図 2 に示す場合は (2/3) である。一方、入力データ D<sub>in</sub> の遷移点エッジ間の中央点に対して正相クロック ckv の立ち上がり点エッジ（図 2 における ↑ CK1）の位相が進んでいる時は error 信号が high である幅が広がり信号線 v<sub>cont+</sub> および v<sub>cont-</sub> 間の電位差がプラス側に増加する。

### 【0011】

入力データ D<sub>in</sub> の遷移点エッジ間の中央点に対して正相クロック ckv の立ち上がり点エッジの位相が遅れている時は error 信号が high である幅が狭まり信号線 v<sub>cont+</sub> と v<sub>cont-</sub> 間の電位差がマイナス側に増加する。信号線 v<sub>cont+</sub> と v<sub>cont-</sub> とは両相単相電圧変換回路 DSC に入力する。両相単相電圧変換回路 DSC は信号線 v<sub>cont+</sub> と v<sub>cont-</sub> 間の電位差を、その出力である信号線 v<sub>cont</sub> の電圧レベルに変換する。信号線 v<sub>cont+</sub> と v<sub>cont-</sub> 間の電位差がプラス側に増加すると出力側の信号線 v<sub>cont</sub> の電位は上がり、信号線 v<sub>cont+</sub> と v<sub>cont-</sub> 間の電位差がマイナス側に大きくなると出力側の信号線 v<sub>cont</sub> の電位は下がる。位相ロック時は出力側信号線 v<sub>cont</sub> の値は一定値になる。DSC 回路出力側の信号線 v<sub>cont</sub> は、電圧制御発振回路 VCO に接続されている。電圧制御発振回路 VCO は、データ周期 T に対して、周波数 f/2 (= 1 / (2 \* T)) 近傍の周波数で発振し

、その周波数のクロック  $c_k v$  を出力する。両相単相電圧変換回路DSC出力の信号線  $v_{cont}$  が高い電圧になると周波数は上がり、  $v_{cont}$  が低い電圧になると周波数は下がる。このことにより、正相クロック  $c_k v$  の立ち上がりエッジが、入力データの中央に位置するように調整され、CDR機能が実現される。

### 【0012】

図1に示した本発明CDR回路における実施の形態で使用する位相比較回路PD<sub>2</sub>の回路例を図3に、また第1および第2のチャージポンプ回路CP<sub>1</sub>、CP<sub>2</sub>の回路例を図4に示す。両相単相電圧変換回路DSCおよび電圧制御発振回路VCOは、前者は一般的なオペアンプを用いた加算回路、後者は一般的なLC発振回路やリングオシレータ回路で構成可能であるためここでは特に例示しない。また、特に上記のような両相ループフィルタLOFを用いることなく、単相のチャージポンプと単相のフィルタとボルテージフォロア回路を用いて、本発明のCDR回路を構成し得ることは容易に類推可能である。

位相比較回路PD<sub>2</sub>は図3のように、入力データD<sub>in</sub>をラッチ回路L1とL2のそれぞれのデータ入力端子Dに共通に接続する。ラッチ回路L1の出力端子Q（出力信号q<sub>1</sub>）はラッチ回路L3のデータ入力端子Dおよび排他的論理和回路E2の第1の入力端子に接続する。ラッチ回路L2の出力端子Q（出力信号q<sub>2</sub>）はラッチ回路L4のデータ入力端子Dおよび排他的論理和回路E1の第1の入力端子に接続する。ラッチ回路L3の出力端子Q（出力信号q<sub>3</sub>）は排他的論理和回路E1の第2の入力端子および排他的論理和回路E3の第1の入力端子に接続する。ラッチ回路L4の出力端子Q（出力信号q<sub>4</sub>）は排他的論理和回路E2の第2の入力端子および排他的論理和回路E3の第2の入力端子に接続する。排他的論理和回路E1の出力は位相比較回路PD<sub>2</sub>のerror<sub>1</sub>出力信号となる。排他的論理和回路E2の出力は位相比較回路PD<sub>2</sub>のerror<sub>2</sub>出力信号となる。排他的論理和回路E3の出力端子はAND回路A1とAND回路A2の第1の入力端子に共通に接続する。

クロック  $c_k v$  は、ラッチ回路L1のクロック入力端子Cとラッチ回路L4のクロック入力端子CとAND回路A1の第2の入力端子に印加する。また、クロック入力  $c_k v$  の反転クロックである逆相クロック  $c_k v_n$  は、ラッチ回路L2

のクロック入力端子Cとラッチ回路L3のクロック入力端子CとAND回路A2の第2の入力端子に印加する。

### 【0013】

位相比較回路PD\_2の動作を、図2を用いて説明する。位相比較回路PD\_2としての基本動作は次の通りである。入力データDinの時間中心（データ周期Tの中央の時間点）に正相クロックckvと逆相クロックckvnのそれぞれの遷移エッジが位置した状態を位相が合った（ロックした）と表現する。入力データDinの時間中心から正相クロックckvと逆相クロックckvnの遷移エッジが入力データDinの遷移点間の中央位置から外れた時間量を「位相ズレ幅」と表現し、位相ロック時のerror信号のパルス幅をerror信号の基準幅として、位相ズレ幅をそのままerror信号の基準幅に増減して出力するのが位相比較器の動作である。

error信号は、入力データDinにおいて連続する2つのデータがhigh（論理“1”）からlow（論理“0”）に、またはlow（論理“0”）からhigh（論理“1”）に遷移した場合に出力される。ref信号は、入力データDinにおいて連続する2つのデータがhighからlowに、またはlowからhighに遷移した場合のみデータ周期Tのパルスを出力する。本実施の形態では、入力データDinをラッチ回路L1において、正相クロックckvの立ち上がりエッジ（図2における↑CK1）でラッチする。ラッチ回路L1の出力端子Qからの信号は、図2の出力データq1であり、偶数番のデータはラッチすることにより（位相ズレが無い場合には）データ周期Tの（3/2）倍の幅に伸長される。一方、入力データDinをラッチ回路L2において逆相クロックckvnの立ち上がりエッジ（図2における↑CK2）でラッチする。ラッチ回路L2の出力端子Qからの信号は図2の出力データq2であり、奇数番のデータは（位相ズレが無い場合には）ラッチすることによりデータ周期Tの（3/2）倍の幅に伸長される。出力データq1をラッチ回路L3にて逆相クロックckvnの立ち上がりエッジ（図2における↑CK2）でラッチし、入力データDinの偶数番目のデータを（位相ズレが無い場合、すなわち位相がロックしている場合には）T/2だけ遅延させてラッチ回路L3の出力データq3に出力する。同様に、出力デ

ータ  $q_2$  をラッチ回路  $L_4$  にて正相クロック  $c_k v$  の立ち上がりエッジ（図2における $\uparrow CK_1$ ）でラッチし、入力データ  $D_{in}$  の奇数番目のデータを（位相ズレが無い場合、すなわち位相がロックしている場合には）  $T/2$  だけ遅延させてラッチ回路  $L_4$  の出力データ  $q_4$  に出力する。

#### 【0014】

ここで、出力データ  $q_2$  および出力データ  $q_3$  の排他的論理和を排他的論理和回路  $E_1$  により求めることにより、入力データ  $D_{in}$  の  $n$  番目のデータと  $n+1$  番目（ $n$  は偶数）のデータの排他的論理和出力である信号  $error\_1 \{ n \times or (n+1) \}$  が得られる。また、出力データ  $q_1$  および出力データ  $q_4$  の排他的論理和を排他的論理和回路  $E_2$  により求めることにより、入力データ  $D_{in}$  の  $m$  番目のデータと  $m+1$  番目（ $m$  は奇数）のデータの排他的論理和出力である信号  $error\_2 \{ m \times or (m+1) \}$  が得られる。そして、ラッチ回路  $L_1$  とラッチ回路  $L_2$  の出力データ周期が（位相ズレが無い場合には）  $(3/2) * T$  に伸長されているため、  $error\_1$  と  $error\_2$  の 2 信号のパルス幅も  $(3/2) * T$  に伸長される。信号  $error\_1$  と信号  $error\_2$  のパルスの立ち上がりエッジは、データの遷移点であり、立ち下りエッジは正相クロック  $c_k v$  の立ち上がりエッジ（図2における $\uparrow CK_1$ ）である。 $error\_1$  と  $error\_2$  それぞれの信号のパルス幅は、データ周期  $T$  に、データの遷移点からクロックの立ち上がりエッジまでの時間すなわち最大  $0.5 * T$  を加えた時間幅となる。

入力データ  $D_{in}$  と正相クロック  $c_k v$ （または逆相  $c_k v_n$ ）の間の位相ズレが  $\pm 0.5 T$  である場合、データの遷移点エッジからクロックの立ち上がりエッジまでの時間が、位相ズレ幅である  $0.5 * T$  だけ増減する。したがって、  $error\_1$  と  $error\_2$  の 2 信号のパルス幅は位相ズレがない場合のパルス幅である  $(3/2) * T$  を中心として  $(3/2) * T \pm 0.5 T$  となる。したがって、入力データ  $D_{in}$  と正相クロック  $c_k v$ （または逆相  $c_k v_n$ ）の間の位相ズレ幅が、信号  $error\_1$  と信号  $error\_2$  のパルス幅の変化量として出力され、位相比較動作が得られる。しかも、信号  $error\_1$  と信号  $error\_2$  のパルス幅の中心値は、従来の  $0.5 * T$  の 3 倍に伸長され、これら

両信号生成にはラッチ回路L3とラッチ回路L4の出力データq3およびq4の排他的論理和出力を用いる。

R<sub>e</sub>f信号は、正相クロックc<sub>k</sub>vと排他的論理和回路E3の出力を入力するAND回路A1の出力である信号r<sub>e</sub>f\_1と、逆相クロック(c<sub>k</sub>v<sub>n</sub>)と排他的論理和回路E3の出力を入力とするAND回路A2の出力である信号r<sub>e</sub>f\_2とに分けられる。r<sub>e</sub>f\_1は、入力データD<sub>i</sub>nのn番目のデータとn+1番目(nは偶数)のデータで遷移がある場合にパルスとなる。また、r<sub>e</sub>f\_2は、入力データD<sub>i</sub>nのm番目のデータとm+1番目(mは奇数)のデータで遷移がある場合にパルスとなる。この信号r<sub>e</sub>f\_1と信号r<sub>e</sub>f\_2のパルスは、データD<sub>i</sub>nと正相クロックc<sub>k</sub>vおよび逆相クロックc<sub>k</sub>v<sub>n</sub>の位相関係にかかわらず時間幅Tのパルスである。信号r<sub>e</sub>f\_1は信号error\_1のパルス幅の増減を判別する基準パルスとなり、信号r<sub>e</sub>f\_2は信号error\_2のパルス幅の増減を判別する基準パルスとなる。

### 【0015】

図1に示した本発明のCDR回路における実施の形態を構成するチャージポンプ回路の第1の回路例を図4に示す。図1における第1および第2のチャージポンプ回路CP\_1およびCP\_2とは同じ回路であるためここではCP\_nと記述する。これにしたがい、チャージポンプ回路出力に対しても、ここではerror\_nおよびr<sub>e</sub>f\_nと記述することにする。チャージポンプ回路CP\_nは、4つの電流源I<sub>p</sub>1、I<sub>p</sub>2、I<sub>n</sub>1、I<sub>n</sub>2とNMOSトランジスタQN1、QN2、QN3、QN4からなる。チャージポンプ回路の入力であるerror\_n信号はトランジスタQN1のゲート電極に印加されており、error\_nの反転信号はトランジスタQN2のゲート電極に印加されている。また、r<sub>e</sub>f\_n信号は、トランジスタQN3のゲート電極に印加され、r<sub>e</sub>f\_nの反転信号はトランジスタQN4のゲート電極に印加されている。トランジスタQN1およびQN2のソース電極は共通の電流源I<sub>n</sub>2の電源VDD側に接続し、トランジスタQN3およびQN4のソース電極は共通の電流源I<sub>n</sub>1の電源VDD側に接続し、トランジスタQN1およびQN3のドレイン電極は電流源I<sub>p</sub>1の電源VSS側に接続するとともに出力信号線v<sub>c</sub><sub>o</sub><sub>n</sub><sub>t</sub>-に接続する。トランジ

スタQN2およびQN4のドレイン電極は共通の電流源Ip2の電源VSS側に接続すると共に出力信号線vcont+に接続する。

### 【0016】

本発明のCDR回路におけるチャージポンプ回路の第1の回路例において本実施の形態のCDR回路がロック時にループフィルタ両端のvcont+とvcont-におけるソース電流とシンク電流に対する両者の電荷量が釣合うようにすることができることを説明する。位相がロックしている時のerror\_n信号のパルス幅とref\_n信号とのパルス幅比は図2に示すごとく(3/2)である。このため、図4のチャージポンプ回路においてはIp1とIn1の電流値を等しくIoとし、Ip2とIn2の電流値を等しく(2/3)\*Ioと設定する。この場合、error\_n信号がhighの時のソース電流は(2/3)\*Io、ref\_n信号がhighの時のシンク電流はIoとなる。したがって、信号error\_nのパルス幅(3/2)\*Tにソース電流(2/3)\*Ioを乗じたソース電荷量T\*Ioと、ref\_nのパルス幅Tにシンク電流Ioを乗じたソース電荷量T\*Ioを等しくすることができる。

### 【0017】

次に、本発明におけるチャージポンプ回路の第2の回路例を、図1と図5を用いて説明する。第1の回路例とはCDR回路のブロック接続は同じであるがチャージポンプ回路を図4のCP\_nで示した回路から図5のCP1\_nで示した回路に変更したことが異なる。この第2の回路例を構成する図5のチャージポンプ回路CP1\_nは、図4のチャージポンプ回路CP\_nの電流源Ip1をPMOSトランジスタQP1、電流源Ip2をPMOSトランジスタQP2、電流源In1をNMOSトランジスタQN6、電流源In2をNMOSトランジスタQN5で構成した回路である。トランジスタQP1およびQN6は、トランジスタQP4およびQN8で構成するカレントミラー回路により制御用入力電圧v1で制御され、共通の電流Ioを流す。トランジスタQP2およびQN5は、トランジスタQP3とQN7で構成するカレントミラー回路により制御用入力電圧v2で制御され、共通の電流k\*Ioを流す。制御用の入力電圧v1およびv2としては外部から任意の電圧を設定することができる。このことにより、チャージポン

プリ回路のソース電流とシンク電流の電流比である  $k$  を任意に設定することができる。したがって、ロック時の `error_n` 信号と `ref_n` 信号のパルス幅比をこれら外部電圧  $v_1$  および  $v_2$  により  $(1/k)$  に変えることができる。すなわち、入力  $v_1$  と  $v_2$  に与える電圧により、ロック時の入力データ `Din` とクロック `ckv` の位相関係を調整することが可能になる。

### 【0018】

#### 【発明の効果】

以上述べたように、本発明の実施の形態によると、入力データとクロックの位相ズレが  $\pm \Delta t$  の場合、`error_1` 信号と `error_2` 信号のパルス幅を従来  $(1/2) * T \pm \Delta t$  であったものを  $(3/2) * T \pm \Delta t$  にまで伸長することができるようになった。このことにより、動作速度の遅い素子を用いて高速な CDR 回路を構成することが可能となる。

### 【0019】

また、チャージポンプについても、本発明第2の回路例によると、本発明実施の形態と同様に動作速度の遅い素子を用いて高速な位相比較器を構成することが可能となる効果に加えて、CDR回路がロックした時の入力データ `Din` とクロック `ckv` の位相を調整することが可能となる。この機能により、`error_n` 信号と `ref_n` 信号のパルス幅および、チャージポンプ回路におけるソース電流およびシンク電流値の製造上の誤差を補正し、高速な CDR 回路を安定して供給することが可能になる。

#### 【図面の簡単な説明】

##### 【図1】

本発明による CDR 回路の回路図。

##### 【図2】

本発明における位相比較回路の動作タイミング図。

##### 【図3】

図1の CDR 回路に使用される位相比較回路の回路図。

##### 【図4】

図1の CDR 回路に使用されるチャージポンプ回路の第1の例を示す回路図。

**【図5】**

図1のCDR回路に使用されるチャージポンプ回路の第2の例を示す回路図。

**【図6】**

従来のCDR回路構成を示す回路図。

**【図7】**

従来のCDR回路における位相比較回路の動作タイミング図。

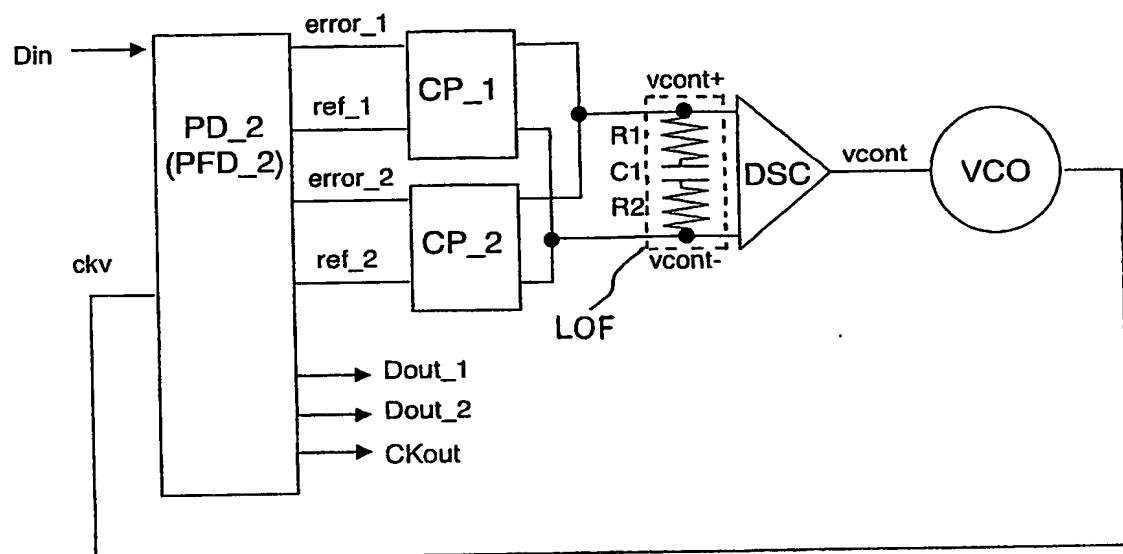
**【符号の説明】**

A 1, A 2	: AND回路
C P, C P_1, C P_2、C P_n	: チャージポンプ回路
c k v, c k v n	: クロック信号
D i n	: データ入力信号
D S C	: 両相単相電圧変換回路
E 1, E 2, E 3	: 排他的論理和回路
e r r o r _ 1, e r r o r _ 2	: 位相差判定信号線
I n 1, I n 2, I p 1, I p 2	: 電流源
L 1, L 2, L 3, L 4	: ラッチ回路
L O F	: ループフィルタ
P D, P D_2	: 位相比較回路
Q N 1, Q N 2, Q N 3, Q N 4,	
Q N 5, Q N 6, Q M 7, Q M 8	: NMOSトランジスタ
Q P 1, Q P 2, Q P 3, Q P 4	: PMOSトランジスタ
r e f _ 1, r e f _ 2	: データ周期信号線
V C O	: 電圧制御発振回路
v c o n t +, v c o n t -	: チャージポンプ回路出力信号線
v c o n t	: 両相単相電圧変換回路出力信号線

【書類名】 図面

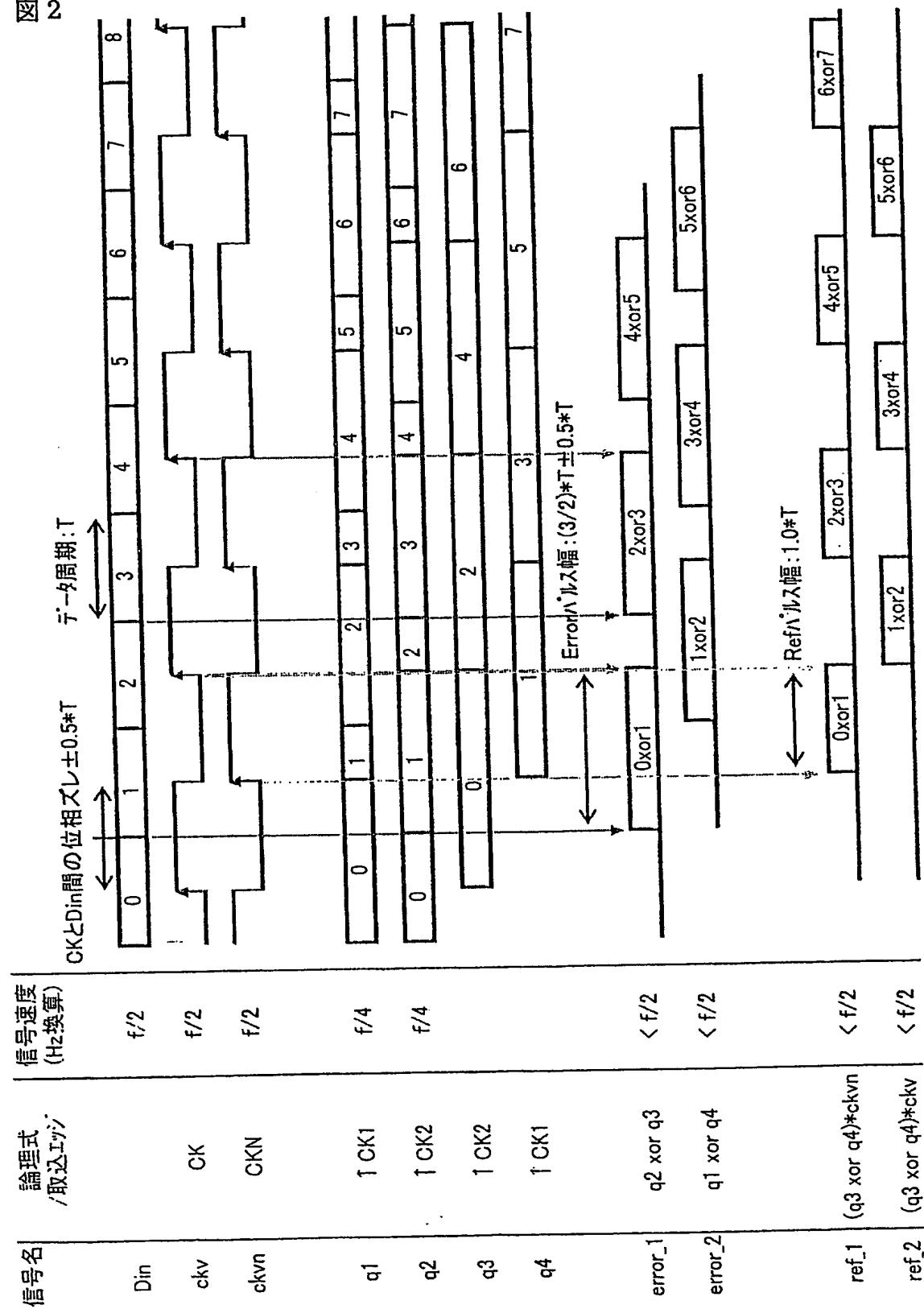
【図 1】

図 1



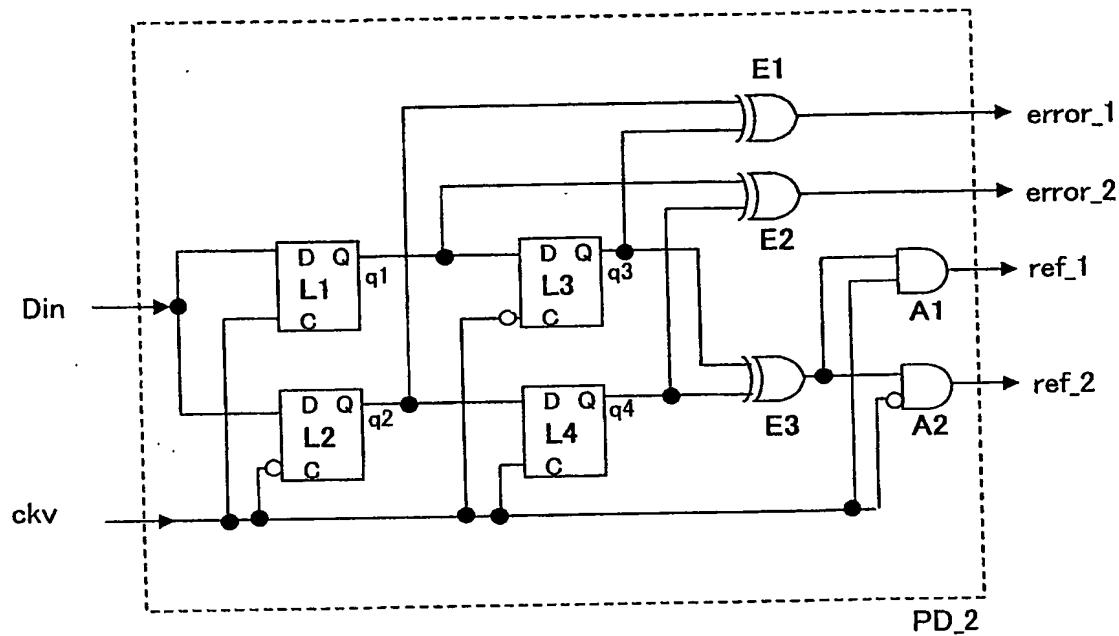
【図 2】

図2



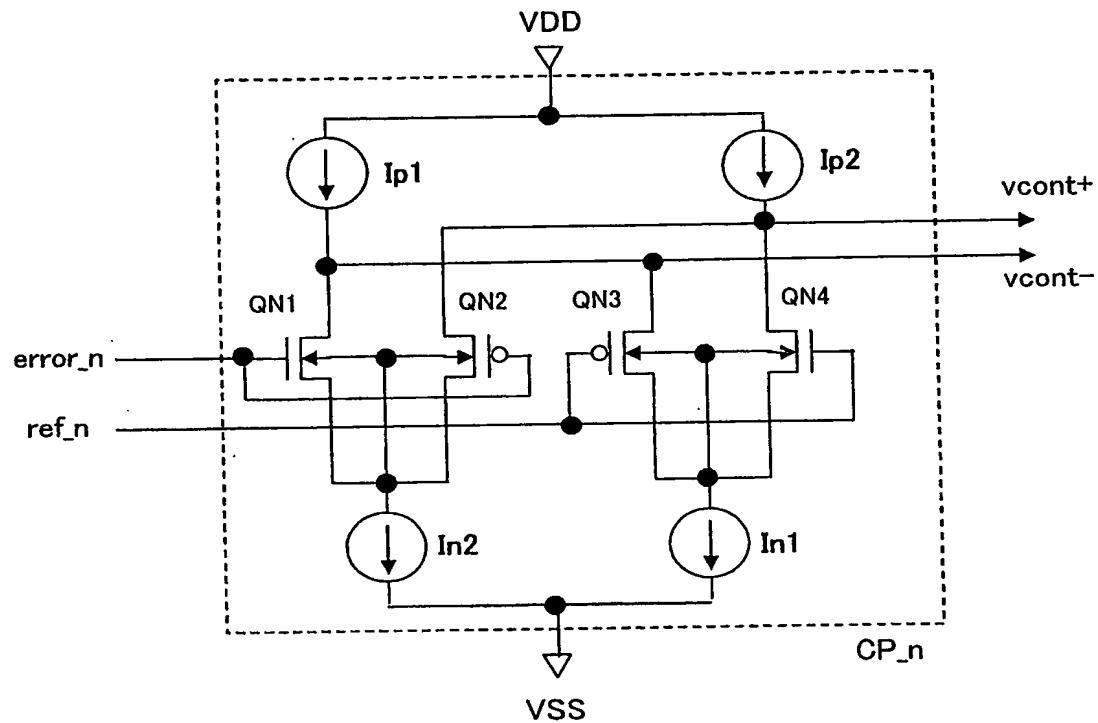
【図3】

図3



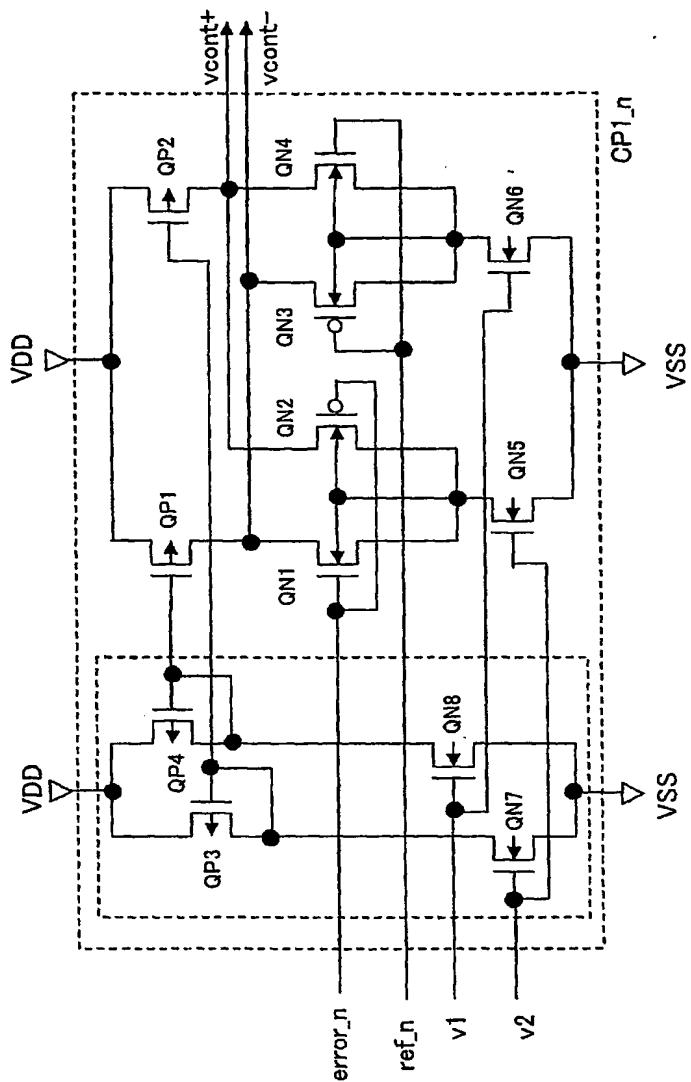
### 【図4】

図 4



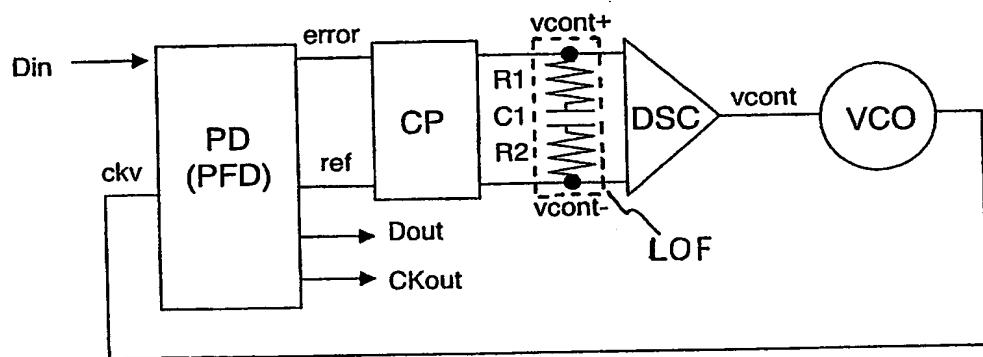
【図5】

図5



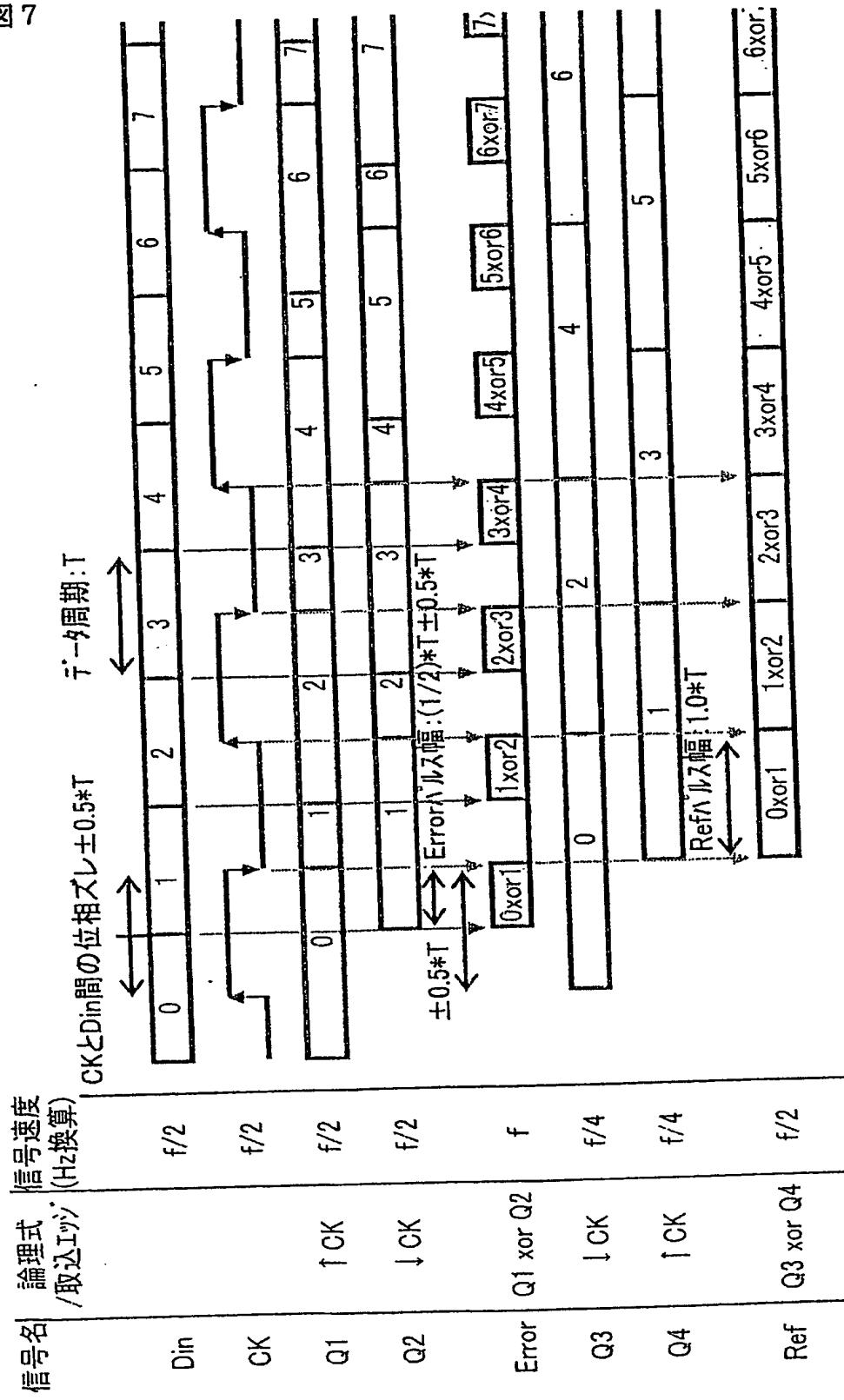
【図 6】

図 6



【图 7】

四七



【書類名】 要約書

【要約】

【課題】 従来のハーフレート C D R (クロックアンドデータリカバリ) 回路においては、位相比較回路出力は位相差信号とデータ周期に対応した信号とが各1本づつであったため、位相差が大になると位相差信号が極めて細くなり、処理回路もデータレートの2倍以上の速度で動作する回路を必要としていた。この動作億度の制限を緩和し、かつ高速動作が可能な C D R 回路の実現が課題となっていた。

【解決手段】 位相比較回路からは正逆両位相に対応した位相差判定信号とデータ周期信号とをそれぞれ1組づつ出力し、これら出力にそれぞれ接続されたチャージポンプ回路出力を並列接続してループフィルタに結合する構成とした。また、ループフィルタ容量への充放電量調整用として外部電圧による充放電電流制御部を設け、位相ロック時の充放電電流の調整を可能とした。

【選択図】 図1

特願 2003-073720

出願人履歴情報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日

[変更理由] 住所変更

住 所 東京都千代田区大手町二丁目3番1号

氏 名 日本電信電話株式会社